**TRABALHO FINAL DE SISTEMAS DIGITAIS**

**ANÁLISE, SIMULAÇÃO E SINTESE DE CIRCUITO SEQUENCIAL RECONHECEDOR DE SEQUÊNCIA “1101” NOS MODELOS DE MOORE E MEALY**

Júlio César Borges de Oliveira Sampaio

RA 1120232038

UFABC 2025

**INTRODUÇÃO**

Esse projeto visa criar um circuito sequencial de reconhecimento da sequência “1101”, isso é, presumindo um fluxo discreto de bits, esse circuito deve reconhecer todas as instâncias onde a nossa sequência aparece e emitir um sinal para indicar que reconheceu a sequência. Como esse circuito é uma máquina de estados, foi feito o modelo de estados tanto no modelo Mealy quanto o Moore.

**OBJETIVOS**

Esse projeto tem como objetivo:

- Elaborar um esquema de estado do reconhecedor tanto nas versões de Mealy quanto na de Moore.

- Fazer e simular este circuito em VHDL de forma que os resultados possam ser avaliados no GTKWave.

- Fazer uma síntese desse circuito com ajuda da síntese do programa Digital.

- Fazer uma versão funcional para a placa DE10-Lite / Altera e elaborar um tutorial para como reproduzir os resultados.

- Avaliar os resultados e apontar as principais diferenças entre as duas versões.

**JUSTIFICATIVA**

O reconhecedor de sequência é um ótimo circuito para praticar a elaboração de circuitos sequenciais, ele só tem uma entrada e sua saída depende bastante de uma sequência de entradas consecutivas.

**METODOLOGIA**

**ELABORAÇÃO DO DIAGRAMA DE ESTADOS**

Antes de qualquer coisa é importante elaborar o diagrama de estados do projeto, que vai definir o comportamento do reconhecedor.

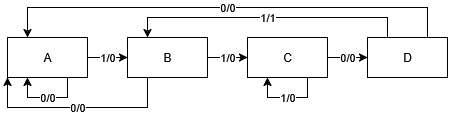
Para ambos os casos, temos duas entradas digitais e uma saída também digital, a nossa primeira entrada digital será o *input* do usuário, e a segunda será o nosso *clock*, que mede o inicio e o fim de cada ciclo do reconhecedor de sequência (também foi implementada uma entrada *reset*, que traz o estado da máquina de volta ao estado inicial, mas essa não será abordada nos diagramas).

O comportamento desejado é que, a cada subida do *clock*, ele leia a entrada digital atual e, se em 4 entradas consecutivas for encontrado o nosso padrão “1101” ele deve emitir uma saída digital.

**DIAGRAMA DO MODELO MEALY**

O modelo Mealy é um modelo onde a saída depende da transição de estados, isso é, quando o estado muda a máquina deve emitir uma saída dependendo daquela mudança, e não somente do estado em si.

Para o reconhecedor de Mealy temos o seguinte diagrama



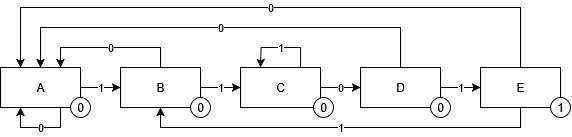
Onde o lado direito da barra é a nossa entrada e o lado esquerdo nossa saída. No caso do modelo de Mealy podemos ter somente 4 estados, o que será muito útil na síntese já que só precisaremos de 4 FFs para representar todos os estados possíveis.

|  |  |  |  |
| --- | --- | --- | --- |
| **ENTRADA** | **ESTADO** | **PRÓXIMO ESTADO** | **SAÍDA** |
| 0 | A | A | 0 |
| 1 | A | B | 0 |
| 0 | B | A | 0 |
| 1 | B | C | 0 |
| 0 | C | D | 0 |
| 1 | C | C | 0 |
| 0 | D | A | 0 |
| 1 | D | B | 1 |

Como a saída depende diretamente da entrada além do estado, veremos na simulação que o timing da saída do modelo de Mealy é um pouco mais inconsistente que a saída do modelo de Moore.

**DIAGRAMA DO MODELO MOORE**

O modelo de Moore é um modelo onde cada saída depende somente do estado atual da máquina, e a entrada só influencia o próximo estado, nesse caso precisaremos de 5 estados para representar o reconhecedor, o que leva um mínimo de 3 FFs num circuito.



Onde o círculo inferior é a saída de cada estado e cada seta representa uma transição com base na entrada.

|  |  |  |  |
| --- | --- | --- | --- |
| **ENTRADA** | **ESTADO** | **PRÓXIMO ESTADO** | **SAÍDA** |
| 0 | A | A | 0 |
| 1 | A | B | 0 |
| 0 | B | A | 0 |
| 1 | B | C | 0 |
| 0 | C | D | 0 |
| 1 | C | C | 0 |
| 0 | D | A | 0 |
| 1 | D | E | 0 |
| 0 | E | A | 1 |
| 1 | E | B | 1 |

**SÍNTESE DOS CIRCUITOS**

Com auxilio do Digital foi feito o esquemático para cada circuito. Para cada estado, foi atribuída uma sequencia binaria correspondente da seguinte forma:

|  |  |  |
| --- | --- | --- |
| **ESTADO** | **SEQUÊNCIA BINÁRIA (MEALY)** | **SEQUÊNCIA BINÁRIA**  **(MOORE)** |
| **A** | 00 | 000 |
| **B** | 01 | 001 |
| **C** | 10 | 010 |
| **D** | 11 | 011 |
| **E** | XX | 100 |

|  |  |
| --- | --- |
| MODELO MEALY | MODELO MOORE |
|  |  |

Podemos ver que o modelo de Mealy é relativamente mais simples, porém faz contato direto com a entrada, presumindo uma entrada assíncrona podemos acabar por ter uma saída um pouco mais temporalmente inconsistente.

**ELABORAÇÃO VHDL**

Ambos os circuitos foram elaborados em códigos VHDL, onde tanto as entradas quanto a saída foram interpretadas como objetos *std\_logic*, embora o VHDL não nos diga muito sobre a arquitetura do circuito ele é bem útil na simulação de comportamentos. Todos os códigos e simulações estão presentes junto ao relatório, adicionalmente eu também estou mantendo um [repositório](https://github.com/Mega2223/Cadeado) com tudo que foi produzido.

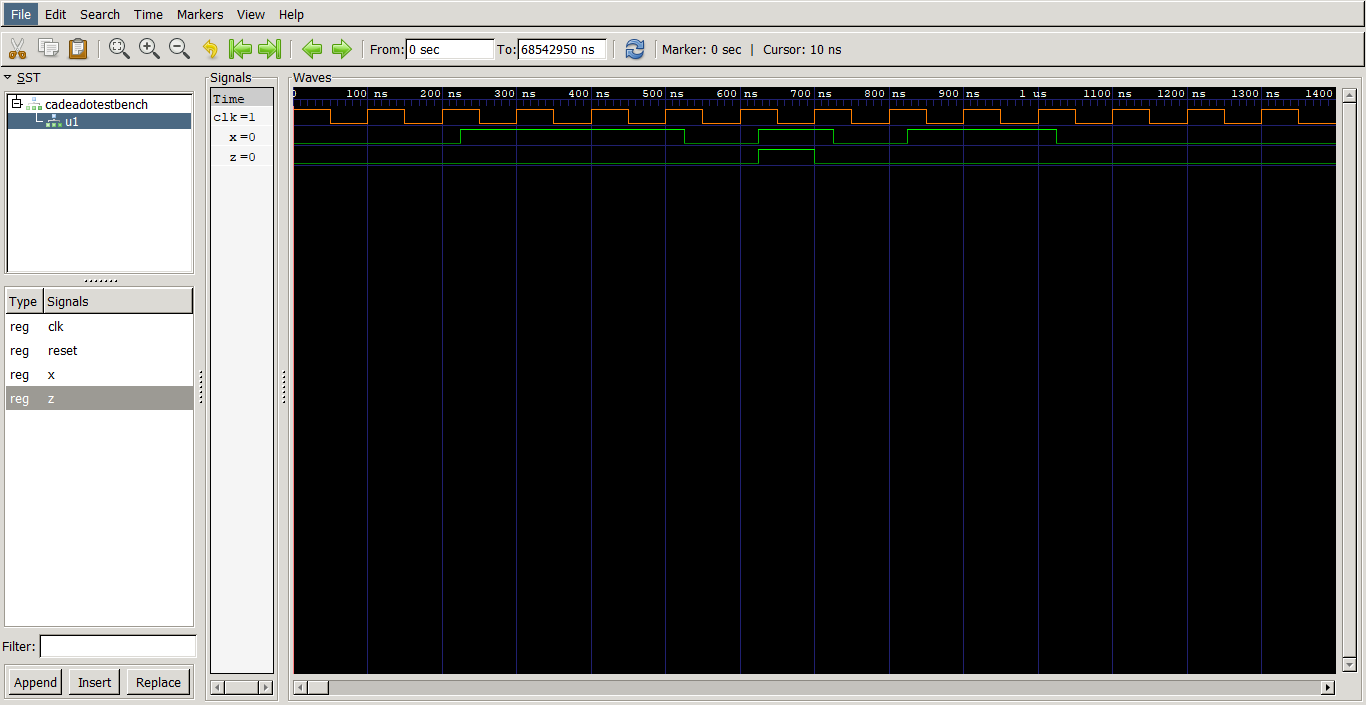
**RESULTADOS**

**SIMULAÇÃO**

Os circuitos em VHDL foram simulados por meio da ferramenta GHDL, a visualização dos sinais é feita por meio do GTKWave, onde x é o nosso sinal de entrada e z o nosso sinal de saída.

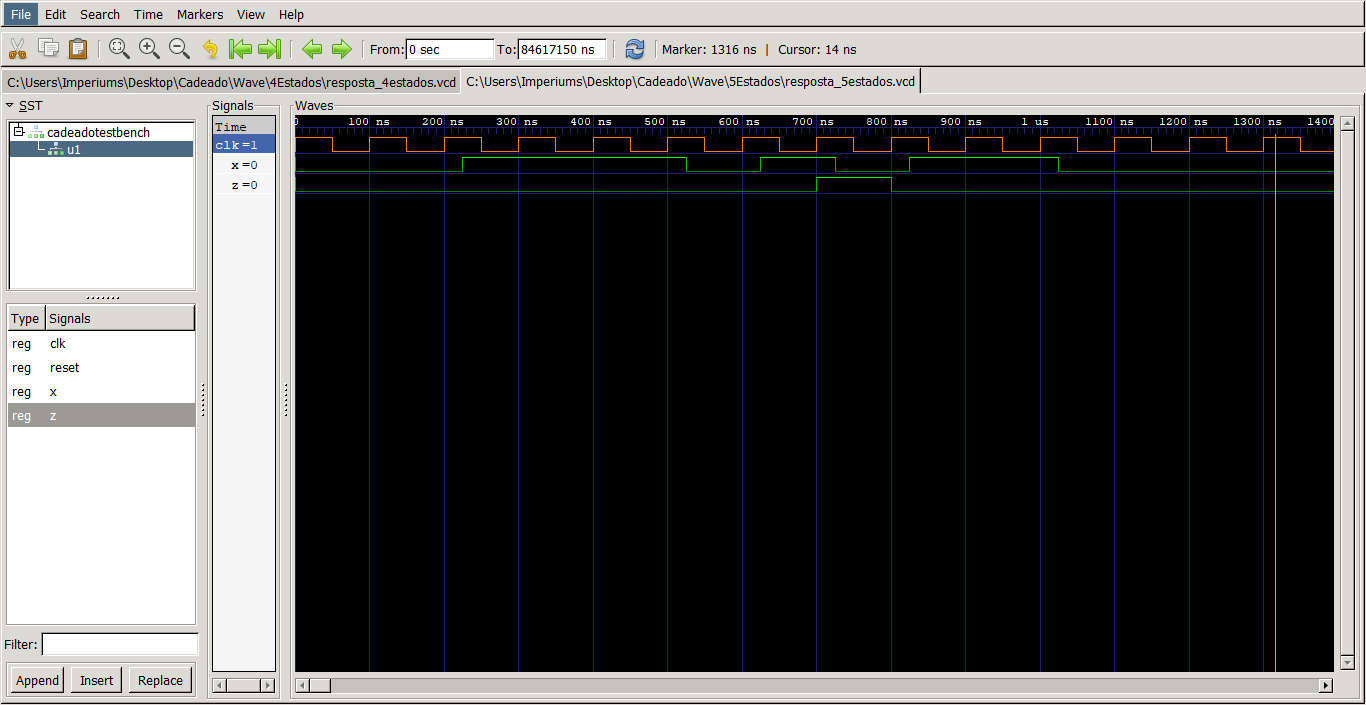
Ambos os circuitos foram simulados com o mesmo ambiente, que recebe a sequência “01110101100” de forma assíncrona ao relógio.

**SIMULAÇÃO DO MODELO DE MEALY**



Podemos perceber que o intervalo de saída do nosso circuito é menor que um ciclo inteiro do relógio, pois a entrada foi assíncrona e começou depois do inicio do ciclo. Ainda assim, o circuito reconheceu corretamente a sequência.

**SIMULAÇÃO DO MODELO DE MOORE**

****

No caso do modelo de Moore, como a saída depende somente do estado da máquina, a saída leva exatamente 1 ciclo para concluir.

**IMPLEMENTAÇÃO DA PLACA**

**CONCLUSÃO**